

**EXTRACTED TRANSLATION OF
LAID-OPEN PUBLICATION OF PATENT APPLICATION**

(11) Publication number: **S60(1985)-7488**
(43) Date of publication of application: **16.01.1985**

(51) Int. Cl. **G09G 3/36; G02F 1/133; G09G 3/20**

(21) Application number:	S58(1983)-116446	(71) Applicant:	K.K. Suwa Seikosha
(22) Date of filing:	28.06.1983	(72) Inventor:	Y. Shiobara

(54) **METHOD OF DRIVING A DISPLAY PANEL**

CLAIMS:

1. A method of driving a matrix display panel in which a plurality of matrices form a picture plane, comprising:
providing a display pause period in each matrix within a single frame period not to apply a voltage to a display element in the display pause period.
2. The method according to claim 1 wherein K matrices ($K \geq 2$) form the single picture plane and the display pause period in a single frame period of each matrix is approximately $(K-1)/K$ of each single frame period.
3. The method according to claim 1 or 2 wherein the matrices forming one picture plane have a multi-matrices structure.

BRIEF DESCRIPTION OF DRAWINGS:

- Fig. 1 is a diagram showing the structure of a conventional double-matrix panel;
- Fig. 2 is a schematic view of a panel, used to explain the first embodiment of the invention;
- Fig. 3 is a diagram showing waveforms of voltages applied to a display element, used to explain the first embodiment of the invention;
- Fig. 4 is a block diagram of a circuit realizing the first embodiment;
- Fig. 5 is a schematic view of a panel, used to explain the second embodiment of the invention;
- Fig. 6 is a diagram showing waveforms of voltages applied to a display element, used to

explain the second embodiment of the invention;

Fig. 7 is a schematic view of a panel, used to explain the third embodiment of the invention;
and

Fig. 8 is a diagram showing waveforms of voltages applied to a display element, used to explain the third embodiment of the invention.

Numerals and Symbols used in the drawings:

tF	Frame period
V1 (-V1)	Voltage applied to a display element selected
V0 (-V0)	voltage applied to a display element non selected
1	Y electrode drive circuit of Matrix 1
2	X electrode drive circuit of Matrix 1
3	X electrode drive circuit of Matrix 2
4	Y electrode drive circuit of Matrix 2
5	Display-prohibiting signal generator circuit
6	Matrix 1 display-prohibiting signal generator circuit
7	Terminal supplied with an X electrode scan start signal
8	Terminal supplied with an X electrode scan signal
10	Scan end signal from Matrix 1
11	Inverter
12	Matrix 2 display-prohibiting signal

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—7488

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)1月16日

G 09 G 3/36

7436—5C

G 02 F 1/133

1 2 9

7348—2H

G 09 G 3/20

8020—5C

発明の数 1

審査請求 未請求

(全 5 頁)

⑮ 表示パネルの駆動方法

⑯ 発明者 塩原康弘

諏訪市大和3丁目3番5号株式会社諏訪精工舎内

⑰ 特 願 昭58—116446

⑱ 出 願 昭58(1983)6月28日

⑲ 出 願 人 株式会社諏訪精工舎

⑳ 発 明 者 内川芳郎

東京都中央区銀座4丁目3番4号

諏訪市大和3丁目3番5号株式会社諏訪精工舎内

㉑ 代 理 人 弁理士 最上務

明 細 書

1. 発明の名称 表示パネルの駆動方法

2. 特許請求の範囲

(1) 複数のマトリクスによつて一画面が形成されるマトリクス表示パネルに於いて、1フレーム期間内に前記各マトリクスに表示休止期間を設け、該休止期間には表示素子に電圧が印加されない事を特徴とする表示パネルの駆動方法。

(2) K 個 ($K \geq 2$) のマトリクスにより、一画面を形成するとき、各マトリクスの1フレーム期間内に於ける表示体休止期間は1フレーム期間の概略 $(K-1)/K$ である事を特徴とする特許請求の範囲第一項記載の表示パネルの駆動方法。

(3) 一画面を形成する各マトリクスを多重マトリクス構造とする事を特徴とする特許請求の範囲第1項及び第2項記載の表示パネルの駆動方法。

3. 発明の詳細な説明

本発明はマトリクス表示パネルの駆動方法に関するものである。

マトリクス表示パネルとは、マトリクス状に配線された電極群(以下行電極を X 電極、列電極を Y 電極と称する)と該 X Y 電極により選択表示される表示画素から構成され、文字やグラフ、又は画像を表示するために用いられる。

例えば、液晶表示パネルの場合、 N 本の X 電極と M 本の Y 電極及びこれらの交点に位置する($N \times M$)個の液晶画素によつて構成される。この時、普通には、1つの X 電極を選択し、その行の画素に Y 電極からデータを書き込み駆動するマルチプレックス駆動が用いられ、1つの画素に対応するデータが印加される期間は全体の $1/N$ となり、通常これをデューティ比と称する。このような表示パネルと駆動方法を用いて、テレビ画像表示を行う場合通常 $N \geq 100$ となり、デューティ比は大幅に減少して液晶では十分なコントラストを得る事が困難となる。

こうした背景のもとに、従来よりいくつかの高デューティ化の方法が提案されてきた。これらの方法の基本的考え方は、同時に複数のX電極を選択し、その複数行に含まれる画素を表示させる事によりデューティ比を高めようとするものである。その具体的方法の第1は、多重マトリクス法と呼ばれている方法で、第1図にその一例を示す。第1図は2重マトリクスで、一本のX電極 X_1 を選択した時、二本のY電極 Y_{j1} 、 Y_{j2} に属する画素 P_1 、 P_2 が同時に表示されるのでデューティ比が2倍になる。ところでこのようにパネルを構成した場合、電極線 L_1 、 L_2 の存在が該当画素の表示有効面積を減少させ、結果としてパネルのコントラスト低下を招くという欠点を持つ。この欠点は3重、4重と多重度を増す毎に顕著になる。

従来方法の第二は、表示パネルを分割し、その各々の分割マトリクスに同時に表示データを与えて駆動するものである。この方法は、テレビ画像のような時系列表示データの表示には、リアルタイム表示ができずいわゆるフレームメモリ等を用

いる必要があり、そのため必要な回路が増加し、装置が小型化できず、コスト高になるという欠点を有する。

本発明は、このような欠点を解決するためになされたもので、駆動デューティ比を高め、コントラストの良いリアルタイム表示可能なマトリクス表示パネルの駆動方法を提供するものである。

即ち本発明のマトリクス表示パネルの駆動方法は、表示パネルを分割し、各分割マトリクスを順次駆動させて画像を表示させるものであるが、この間、走査タイミングにない分割マトリクスの画素には電圧が印加されないように休止期間を設ける事によりデューティ比を向上させるものである。

以下、本発明を液晶表示パネルを例にとり実施例を用いて詳述する。

第2図は、本発明の第1の実施例を説明するための、液晶表示パネルの構成を示したものである。同図に於いて、表示パネルはマトリクス1及びマトリクス2に中央から分割され、マトリクス1は、 $X_{11} \sim X_{n1}$ の n 本のX電極と $Y_{11} \sim Y_{m1}$ の m 本の

Y電極、マトリクス2は $X_{12} \sim X_{n2}$ の n 本のX電極と $Y_{12} \sim Y_{m2}$ の m 本のY電極から構成される。さてこのように液晶表示パネルを構成した時、1フレーム期間 t_F に走査はマトリクス1の X_{11} ラインからマトリクス2の X_{n2} まで順番に行なわれる。本実施例に於いては、フレーム期間の前半マトリクス1を駆動して画面上半分を表示している期間は、マトリクス2のX電極群とY電極群には同一電位を与えて所屬する液晶画素には電圧が印加されないようにし、 X_{n1} ラインの走査が終了した時、マトリクス2が画面の下半分を表示するため駆動を開始する。また、画面下半分を表示するためマトリクス2が駆動中、マトリクス1に属する液晶画素には電圧が印加されないようにする。第3図にこの駆動方法を更に詳しく説明するため、マトリクス1及び2に属するある液晶画素の、例えば第2図の画素a、bについての印加電圧波形を示す。第3図に於いて、画素aにはフレーム期間 t_F の後半 $\frac{1}{2}t_F$ には電圧が印加されず、画素bには、フレーム期間の前半 $\frac{1}{2}t_F$ には同様に電

圧が印加されない。この結果、a、bには自身の選択電圧 V_1 （又は $-V_1$ ）の他に $(n-1)$ 本の非選択電圧 V_0 （又は $-V_0$ ）が印加される事になり、その結果、a、bそれぞれの駆動は $1/n$ のデューティ比で行なわれる。通常の駆動法では本表示例のデューティ比は $1/2n$ なので本実施例では2倍のデューティ比を得られる。しかも、本実施例によると前述の多重マトリクス法では問題となつた電極線が表示有効面積を狭めるという事がなく、又リアルタイム表示が可能であるためフレームメモリ等の付加回路は不要となる。

第4図に本実施を実現するための回路のブロック図を示す。同図に於て、液晶マトリクスパネルは、画面上半分のマトリクス1が、X電極駆動回路2の $X_{11} \sim X_{m1}$ とY電極駆動回路1の $Y_{11} \sim Y_{m1}$ に、画面下半分のマトリクス2は、X電極駆動回路3の $X_{12} \sim X_{n2}$ とY電極駆動回路4の $Y_{12} \sim Y_{m2}$ にそれぞれ接続されている。X電極は、線順次走査電極、またY電極は同図には示していないが、Y電極駆動回路1、4に外部から加わる表示データ

により駆動される電極である。液晶マトリクスパネルのX電極走査開始信号が端子7に印加されるとX電極駆動回路2は、 X_{11} から X_{n1} まで端子8に印加されるX電極走査信号に応じて、順次走査を開始する。この時端子7は、表示禁止信号発生回路5に接続されており、X電極走査開始信号が端子7に入力されるとマトリクス1表示禁止信号6は、リセットされ、液晶マトリクスパネルの画面上半分のマトリクス1が駆動状態となる。一方、マトリクス2表示禁止信号には、インバータ11でマトリクス1表示禁止信号6に接続されている為、X電極駆動回路3、Y電極駆動回路4は表示禁止状態になり、 $X_{12} \sim X_{n2}$ 、 $Y_{12} \sim Y_{n2}$ は、同電位に保たれる。こうしてX電極駆動回路2が X_{n1} の走査を終了すると、X電極駆動回路2は、マトリクス1走査終了信号10を発生する。信号10は表示禁止回路5とマトリクス2のX電極駆動回路3とY電極駆動回路4に接続されている。表示禁止回路5は、前記信号10を受け付けると、前記信号6を禁止状態になるため、X電極駆動回

路2の $X_{11} \sim X_{n1}$ と、Y電極駆動回路1の $Y_{11} \sim Y_{n1}$ は同電位に保たれる。この時マトリクス2表示禁止信号12は前記信号6の反転信号であるから、信号12は表示禁止解除状態となる。X電極駆動回路3は前記信号10と信号12により、又、Y電極駆動回路4は信号12により、それぞれ駆動状態となる。この様に、マトリクス1を駆動中は、マトリクス2はX、Y電極が同電位（液晶に電圧が加わらない状態）になり、マトリクス2が駆動されている時は、マトリクス1のX、Y電極は同電位に保たれている。

次に、第5図、第6図に本発明の第2の実施例を説明するための液晶表示パネルの構成と両素に印加される電圧波形を示す。第5図に於いて、表示パネルは3個のマトリクスに分割されている。即ちマトリクス1（ $i = 1 \sim 3$ ）は、 $X_{i1} \sim X_{n1}$ の n 本のX電極及び $Y_{i1} \sim Y_{m1}$ の m 本のY電極から構成されている。第6図は第5図に示した各マトリクスに属する画素a、b、cに印加される電圧波形を示す。フレーム期間 t_F の最初の $\frac{1}{2} t_F$

期間中、マトリクス2、3は休止中で、画素には何ら電圧は印加されず、マトリクス1のみが駆動している。次の $\frac{1}{2} t_F$ 期間中は、マトリクス2のみが駆動し、最後の $\frac{1}{2} t_F$ 期間中は、マトリクス3のみが駆動する。このように駆動する事により、駆動デューティ比は通常の駆動法に比べて3倍高くなる。なお本実施例では、中央のマトリクス2のY電極引き出し線のために、第1の実施例に比べて若干表示有効面積比は減少するが、3重マトリクス法と比較すれば、本実施例の方が明らかに改善されている。

なお本実施例を実現するための回路図は、先に第1の実施例で示した第4図の回路構成と基本的には何ら変わる事がないため省略する。

こうして、一般に、画面を K ($K \geq 2$) 個のマトリクスに分割し、1フレーム期間 t_F 中に、 $\frac{1}{K} t_F$ だけ駆動し他の期間中は休止する事により、通常の駆動法に比べて K 倍だけデューティ比を高める事が可能となる。

第7図に、本発明の第3の実施例を説明するた

めの液晶表示パネルの構成を示す。先きに述べた第1、第2の実施例では、分割された個々のマトリクスは、多重度1の単純マトリクスから構成されていたが、本実施例では、同図のマトリクス1及びマトリクス2は、それぞれ n 本のX電極群と $2m$ 本のY電極群から成る二重マトリクスにより構成されている。第8図はマトリクス1に所属する画素a、bマトリクス2に属する画素c、dの駆動電圧波形を示したものである。マトリクス1はフレーム期間の前半 $\frac{1}{2} t_F$ のみ駆動され、後半 $\frac{1}{2} t_F$ は休止し、逆にマトリクス2は前半 $\frac{1}{2} t_F$ は休止し、後半 $\frac{1}{2} t_F$ のみ駆動される。また各マトリクスは二重マトリクスとなつているためX電極本数が、前述の単純マトリクスの $1/2$ になつており、この効果によるデューティ比の向上が2倍、さらに本発明によるデューティ比の向上が2倍あり合計4倍のデューティ比の向上が実現される。本実施例の長所は、単に4重マトリクス法に依るよりも、明らかに表示有効面積比が大きくとれて、コントラストがより良好になる事である。本実施

例の如く、従来の多重マトリクス法に本発明を適用する事により従来多重マトリクス法の欠点であつた表示有効面積比の減少によるコントラスト低下を大幅に改善する効果が得られる。

本実施例を実現する回路は、第1の実施例で述べた第4図の回路のマトリクス1及び2の駆動回路を単に、従来より用いられている二重マトリクス用のものと置き換えるだけで、第4図と何ら基本的に異なる事はないので新たに説明はしない。

以上述べた如く本発明は表示パネルを分割し、各分割マトリクスを1フレーム期間の所望の期間のみ駆動し、他の期間は表示画素に電圧が印加されない休止状態とする事によつてデューティ比の向上が計れるので、コントラストの良い画像が実現できる。また本発明に依れば表示パネルの表示部内の電極線は従来法に比べて大幅に少ないため表示有効面積比が大きくとれ、従来の多重マトリクス法に比較してより良好なコントラストが得られると共に、パネル製造に於いて歩留りが良く安価に製造可能となる。さらにまた、本発明の駆動

方法はリアルタイム表示であるので、フレームメモリ等のデータ変換回路が不要で、小型で安価なマトリクス表示装置が製作可能となる。さらにまた、本発明を従来の多重マトリクス法に適用すれば、表示有効面積を犠牲にする事なく大幅なデューティ比向上が計れる。

なお本発明を液晶表示パネルの実施例で説明したが、本発明は液晶表示に限らず他の表示パネルにも適用し得るものである。

4. 図面の簡単な説明

第1図は従来の二重マトリクスパネルの構造図、第2図、第3図は本発明の第1の実施例を説明するためのパネル概略図及び表示素子に印加される電圧波形図、第4図は第1の実施例を実現するための回路のブロック図、第5図、第6図は第2の実施例を説明するためのパネル概略図及び表示素子に印加される電圧波形図、第7図、第8図は第3の実施例を説明するためのパネルの概略図及び表示素子に印加される電圧波形図を示すものであ

る。第3図、6図、8図に於いて

t_F …… フレーム期間

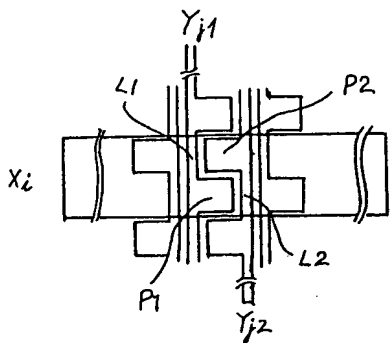
$V_1 (-V_1)$ …… 選択時に表示素子に印加される電圧

$V_0 (-V_0)$ …… 非選択時に表示素子に印加される電圧。

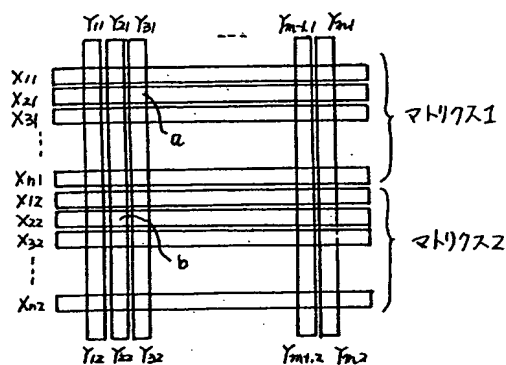
第4図に於いて

- 1 …… マトリクス1のY電極駆動回路
- 2 …… マトリクス1のX電極駆動回路
- 3 …… マトリクス2のX電極駆動回路
- 4 …… マトリクス2のY電極駆動回路
- 5 …… 表示禁止信号発生回路
- 6 …… マトリクス1表示禁止信号
- 7 …… X電極走査開始信号が印加される端子
- 8 …… X電極走査信号が印加される端子
- 10 …… マトリクス1からの走査終了信号
- 11 …… インバーター
- 12 …… マトリクス2表示禁止信号

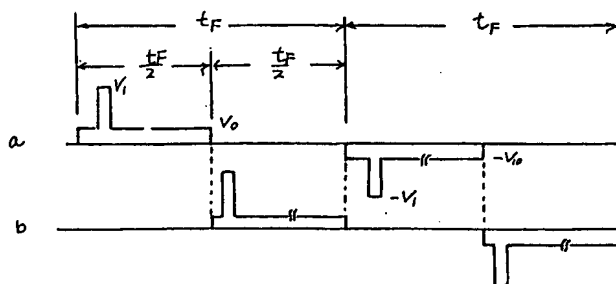
である。



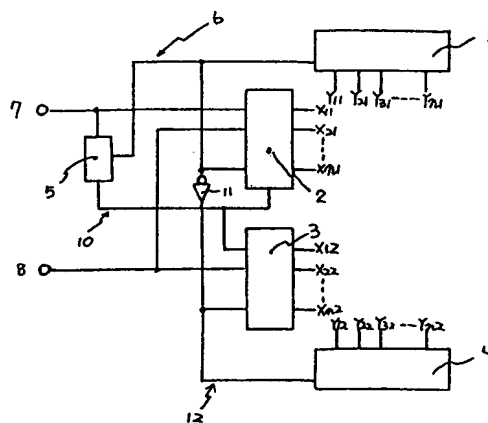
第1図



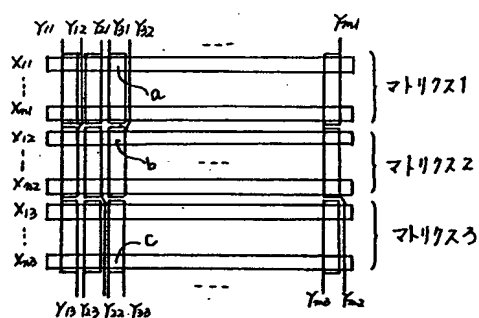
第2図



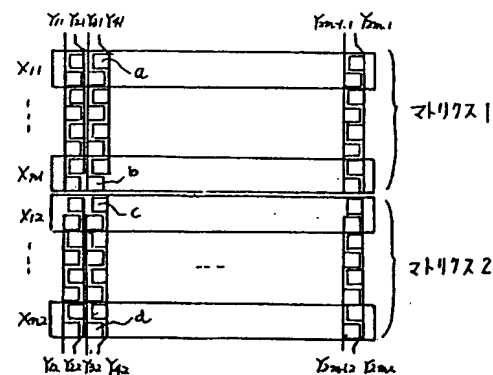
第3図



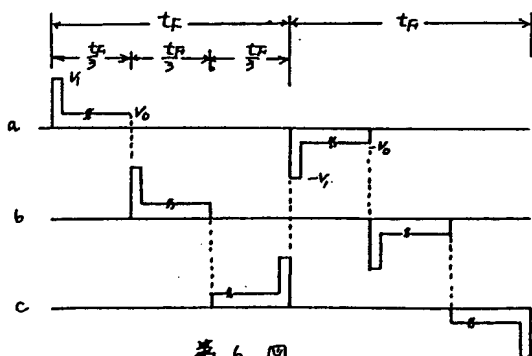
第4図



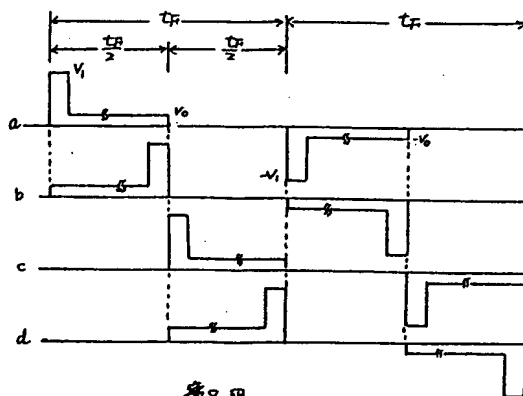
第5図



第7図



第6図



第8図